

SEMICONDUCTOR DEVICE

Patent Number: JP8018015

Publication date: 1996-01-19

Inventor(s): ASAI SHOKI; others: 02

Applicant(s): NIPPONDENSO CO LTD

Requested Patent: ☐ JP8018015

Application Number: JP19940152364 19940704

Priority Number(s):

IPC Classification: H01L27/08; H01L27/04; H01L21/822; H01L21/8238; H01L27/092; H01L29/786

EC Classification:

Equivalents: JP3503197B2

Abstract

PURPOSE: To increase a threshold value of an N-channel MOSFET and decrease the absolute value of the threshold value of a P-channel MOSFET by a simple structure.

CONSTITUTION: SOI layers 3 and 4 are formed on a single crystal silicon substrate 1 with a buried insulation layer 2 in between. An N-channel MOSFET 7 is formed in the layer 3, while a P-channel MOSFET 10 is formed in the layer 4. A bias voltage circuit 21 is formed on the substrate 1 with the layer 2 in between. The circuit 21 is electrically connected with the substrate 1 through a wiring 25, and a bias voltage common to both MOSFETs is applied to the substrate 1 in the area opposite to at least a channel area of the MOSFET 7 and at least a channel area of the MOSFET 10.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-18015

(43)公開日 平成8年(1996)1月19日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/08 27/04 21/822	3 3 1 E			
			H 0 1 L 27/ 04 27/ 08	G 3 2 1 B
審査請求 未請求 請求項の数7 O L (全 10 頁) 最終頁に続く				

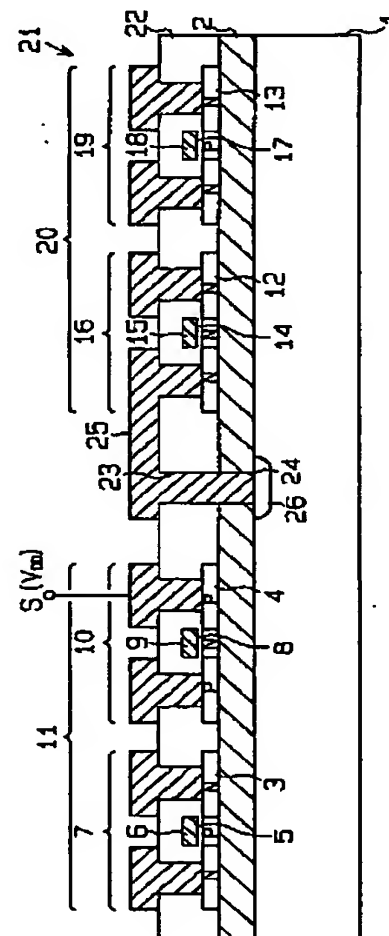
(21)出願番号	特願平6-152364	(71)出願人	000004260 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
(22)出願日	平成6年(1994)7月4日	(72)発明者	浅井 昭喜 愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内
		(72)発明者	市川 浩司 愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内
		(72)発明者	鶴田 和弘 愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内
		(74)代理人	弁理士 恩田 博宣

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 簡単な構造にてNチャネルMOSFETのしきい値を上げるとともにPチャネルMOSFETのしきい値の絶対値を下げる事ができる半導体装置を提供することにある。

【構成】 単結晶シリコン基板1上に埋め込み絶縁体層2を介してSOI層3, 4が形成されている。SOI層3にはNチャネルMOSFET7が形成され、SOI層4にはPチャネルMOSFET10が形成されている。単結晶シリコン基板1上に埋め込み絶縁体層2を介してバイアス電圧回路21が形成されている。バイアス電圧回路21は配線25を通して単結晶シリコン基板1と電気的に接続され、NチャネルMOSFET7の少なくともチャネル領域およびPチャネルMOSFET10の少なくともチャネル領域に対向した領域における単結晶シリコン基板1に両MOSFET共通のバイアス電圧が印加される。



【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁体層を介して形成された複数の単結晶半導体層に、NチャネルMOSFET およびPチャネルMOSFETを形成してなる半導体装置において、

前記NチャネルMOSFETの少なくともチャネル領域およびPチャネルMOSFETの少なくともチャネル領域に対向した前記絶縁体層内あるいは前記半導体基板に、両MOSFET共通の電極を配置し、当該電極に両MOSFET共通のバイアス電圧を印加したことを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、NチャネルMOSFETのゲート電極およびPチャネルMOSFETのゲート電極はいずれもN型ポリシリコンからなり、前記電極に印加されるバイアス電圧は負の極性であることを特徴とする半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置において、前記半導体基板上に絶縁体層を介して単結晶半導体層からなるバイアス電圧回路を形成し、当該バイアス電圧回路によりバイアス電圧を生成するようにしたことを特徴とする半導体装置。

【請求項 4】 請求項 3 に記載の半導体装置において、前記バイアス電圧回路は発振回路と当該発振回路の出力信号により駆動されるチャージポンプ回路を有することを特徴とする半導体装置。

【請求項 5】 請求項 1 に記載の半導体装置において、前記電極と対向する位置での単結晶半導体層にモニタ用半導体素子を形成し、当該モニタ用半導体素子により前記バイアス電圧回路の出力電圧を制御するようにしたことを特徴とする半導体装置。

【請求項 6】 請求項 3 に記載の半導体装置において、前記バイアス電圧回路はMOSFETにて構成され、当該MOSFETの少なくともチャネル領域に対向した前記絶縁体層内あるいは前記半導体基板に、前記NチャネルおよびPチャネルMOSFET共通の電極と電気的に分離した第2の電極を配置し、当該第2の電極を所定電位にしたことを特徴とする半導体装置。

【請求項 7】 請求項 6 に記載の半導体装置において、前記NチャネルおよびPチャネルMOSFET共通の電極と対向する位置での単結晶半導体層にモニタ用半導体素子を形成し、当該モニタ用半導体素子により前記バイアス電圧回路の出力電圧を制御するようにしたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置に係り、特にSOI (Silicon On Insulator) 構造を採用したMOSFETを有する半導体装置に関するものである。

【0002】

【従来の技術】 従来より半導体装置の高速化・高集積化が進められる中で絶縁体上の単結晶シリコン層 (SOI 層) に形成したMOSFETの研究が行われている。特に、SOI 層の厚さがMOSFETのチャネル領域の最大空乏層幅よりも薄くチャネル形成時にSOI 層が完全に空乏化するような場合 (以下、これを薄膜SOIMOSFETという) には、バルクシリコン基板上に形成したMOSFETに比べショートチャネル効果が制御できるとかチャネル中の垂直方向の電界が緩和されるため実効移動度が向上する等の優れた特性を示すことが知られている。

【0003】 MOSFETを相補型MOS回路に適用する場合、MOSFETはノーマリーオフ (NチャネルMOSFETのしきい値電圧が、正) 状態にあることが必要である。しかしながら、前記のような薄膜SOIMOSFETで従来用いられているN⁺ ポリシリコンゲートを用いたNチャネル薄膜SOIMOSFETは、しきい値電圧が負となりやすく、エンハンスメント型 (ノーマリーオフ型) のMOSFETを形成することが難しかった。そこで、チャネル形成領域の対向する位置に設けた電極にしきい値電圧とは反対極性の電圧を印加する方法 (特開平 2-294076 号公報) 等が提案されている。

【0004】

【発明が解決しようとする課題】 ところが、このような方法においては、NチャネルMOSFETおよびPチャネルMOSFETのそれぞれに独立に対向電極が必要となり構造が複雑になる。一方、N⁺ ポリシリコンゲートを用いたPチャネル薄膜SOIMOSFETにおいては、しきい値電圧V_{th} が約-0.7~-1.0ボルト程度の値となり、電源電圧が3ボルト程度以下の場合には、実効的なドレイン電圧 ($|V_d| - |V_{th}|$) が小さくなってしまう。

【0005】 そこで、この発明の目的は、簡単な構造にてNチャネルMOSFETのしきい値電圧を上げるとともにPチャネルMOSFETのしきい値電圧の絶対値を下げることを可能とする半導体装置を提供することにある。

【0006】

【課題を解決するための手段】 請求項 1 に記載の発明は、半導体基板上に絶縁体層を介して形成された複数の単結晶半導体層に、NチャネルMOSFETおよびPチャネルMOSFETを形成してなる半導体装置において、前記NチャネルMOSFETの少なくともチャネル領域およびPチャネルMOSFETの少なくともチャネル領域に対向した前記絶縁体層内あるいは前記半導体基板に、両MOSFET共通の電極を配置し、当該電極に両MOSFET共通のバイアス電圧を印加した半導体装置をその要旨とする。

【0007】 請求項 2 に記載の発明は、請求項 1 に記載の半導体装置において、NチャネルMOSFETのゲ-

3

ト電極およびPチャネルMOSFETのゲート電極はいずれもN型ポリシリコンからなり、前記電極に印加されるバイアス電圧は負の極性である半導体装置をその要旨とする。

【0008】請求項3に記載の発明は、請求項1に記載の半導体装置において、前記半導体基板上に絶縁体層を介して単結晶半導体層からなるバイアス電圧回路を形成し、当該バイアス電圧回路によりバイアス電圧を生成するようにした半導体装置をその要旨とする。

【0009】請求項4に記載の発明は、請求項3に記載の半導体装置において、前記バイアス電圧回路は発振回路と当該発振回路の出力信号により駆動されるチャージポンプ回路を有する半導体装置をその要旨とする。

【0010】請求項5に記載の発明は、請求項1に記載の半導体装置において、前記電極と対向する位置での単結晶半導体層にモニタ用半導体素子を形成し、当該モニタ用半導体素子により前記バイアス電圧回路の出力電圧を制御するようにした半導体装置をその要旨とする。

【0011】請求項6に記載の発明は、請求項3に記載の半導体装置において、前記バイアス電圧回路はMOSFETにて構成され、当該MOSFETの少なくともともチャネル領域に対向した前記絶縁体層内あるいは前記半導体基板に、前記NチャネルおよびPチャネルMOSFET共通の電極と電気的に分離した第2の電極を配置し、当該第2の電極を所定電位にした半導体装置をその要旨とする。

【0012】請求項7に記載の発明は、請求項6に記載の半導体装置において、前記NチャネルおよびPチャネルMOSFET共通の電極と対向する位置での単結晶半導体層にモニタ用半導体素子を形成し、当該モニタ用半導体素子により前記バイアス電圧回路の出力電圧を制御するようにした半導体装置をその要旨とする。

【0013】

【作用】請求項1, 2に記載の発明によれば、NチャネルMOSFETの少なくともともチャネル領域およびPチャネルMOSFETの少なくともともチャネル領域に対向した絶縁体層内あるいは半導体基板に両MOSFET共通の電極が配置される。そして、当該電極に両MOSFET共通のバイアス電圧を印加させることで、NチャネルMOSFETおよびPチャネルMOSFETのチャネル領域のポテンシャル分布が変化する。これにより、しきい値電圧を所望の値に制御性よくシフトさせることができる。

【0014】つまり、図2に示すように、負のバイアス電圧を印加することにより、NチャネルMOSFETに対してはしきい値電圧を上げ、PチャネルMOSFETに対してはしきい値電圧の絶対値を下げる事が可能となる。

【0015】請求項3に記載の発明によれば、請求項1, 2に記載の発明の作用に加え、半導体基板上に絶縁

4

体層を介して単結晶半導体層からなるバイアス電圧回路が形成される。その結果、単一電源にてNチャネルMOSFETおよびPチャネルMOSFETに電圧を印加するとともに両MOSFETのしきい値電圧を制御することが可能となる。

【0016】請求項4に記載の発明によれば、請求項3に記載の発明の作用に加え、バイアス電圧回路の発振回路から発振信号が出力され、この信号によりチャージポンプ回路が駆動されて所望のバイアス電圧が生成される。このような簡単な回路にて昇圧回路が構成される。

【0017】請求項5に記載の発明によれば、請求項1, 2に記載の発明の作用に加え、モニタ用半導体素子によりバイアス電圧回路の出力電圧が制御される。請求項6に記載の発明によれば、請求項3に記載の発明の作用に加え、バイアス電圧回路のMOSFETの少なくともともチャネル領域に対向した絶縁体層内あるいは半導体基板に、NチャネルおよびPチャネルMOSFET共通の電極と電気的に分離した第2の電極が配置され、当該第2の電極が所定電位にされる。よって、バイアス電圧回路のMOSFETが安定して動作する。

【0018】請求項7に記載の発明によれば、請求項6に記載の発明の作用に加え、モニタ用半導体素子によりバイアス電圧回路の出力電圧が制御される。

【0019】

【実施例】

(第1実施例) 以下、この発明を具体化した第1実施例を図面に従って説明する。

【0020】図1に半導体装置の断面構造図を示す。半導体基板としての単結晶シリコン基板1上にSiO₂からなる埋め込み絶縁体層2が配置され、その埋め込み絶縁体層2の上に単結晶半導体層としての薄膜の単結晶シリコン層(以下、SOI層という)3, 4が設置されている。SOI層3にはゲート酸化膜5を介してN⁺ポリシリコンゲート電極6を有するNチャネルMOSFET7が形成されている。又、SOI層4にはゲート酸化膜8を介してN⁺ポリシリコンゲート電極9を有するPチャネルMOSFET10が形成されている。SOI層3, 4の膜厚は、MOSFET7, 10のチャネル領域の最大空乏層幅よりも薄く設定されており、チャネル形成時には完全に空乏化する厚さになっている。又、NチャネルMOSFET7とPチャネルMOSFET10とからなるC-MOS回路11において、PチャネルMOSFET10のソース電極Sには外部から電源電圧V_{DD}(例えば、3ボルト)が供給されるようになっている。

【0021】又、同一シリコン基板1上に同一埋め込み絶縁体層2を介してSOI層3, 4と同様に複数の単結晶半導体層としての薄膜の単結晶シリコン層(以下、SOI層という)12, 13が形成されている。SOI層12, 13には半導体素子が形成され、これらの素子はC-MOS回路11と共通の電源電圧V_{DD}から所望のバ

5

イアス電圧を発生させるバイアス電圧回路21の一部をなしている。例えば、図1においては、SOI層13にはゲート酸化膜17を介してN⁺ポリシリコンゲート電極18を有するNチャネルMOSFET19が形成されている。SOI層12には酸化膜14を介して対向電極であるポリシリコン電極15を有するコンデンサ16が形成されている。MOSFET19は通常MOSFET7、10と同時に形成されるため、SOI層13の膜厚は、MOSFET19のチャネル領域の最大空乏層幅よりも薄く設定されており、チャネル形成時には完全に空乏化する厚さとなるが、必ずしもSOI層13の膜厚は完全空乏化条件を満足する必要はなく、必要であればチャネル領域の最大空乏層幅よりも厚く設定してもよい。又、コンデンサ16を形成するSOI層12のポリシリコン電極15と対向する領域には、ポリシリコン電極15に電圧が印加された際にもSOI層に空乏層が形成されないよう十分高濃度に不純物をドーピングしておく

と、コンデンサの容量を一定値に維持させておくことができる。このようにして、単結晶シリコン基板1上に絶縁体層2を介して薄膜の単結晶シリコン層からなるバイアス電圧回路21が形成されている。

【0022】SOI層3、4、12、13上を含む埋め込み絶縁体層2上には層間絶縁膜22が形成されている。層間絶縁膜22にはバイアス電圧印加用開口部（コンタクトホール）23が形成されている。又、埋め込み絶縁体層2にはバイアス電圧印加用開口部（コンタクトホール）24が形成され、バイアス電圧印加用開口部23、24は連通している。バイアス電圧回路21と単結晶シリコン基板1とは、バイアス電圧印加用開口部23、24内を延びる配線25にて電氣的に接続されている。

【0023】バイアス電圧回路21には、前述のC-MOS回路11と共通の電源電圧V_{DD}（例えば、3ボルト）が外部から供給されるようになっており、バイアス電圧回路21とC-MOS回路11とは共通電源（単一電源）が用いられている。

【0024】そして、バイアス電圧回路21にて負の極性をもつバイアス電圧V_Bが生成され、そのバイアス電圧V_Bは配線25を通して電極として機能する単結晶シリコン基板1に印加される。このようにして、バイアス電圧回路21により負の極性をもつ基板バイアス電圧V_Bが印加される。尚、本実施例では、配線25が単結晶シリコン基板1と接触する領域に、シリコン基板1と同一導電型の高濃度不純物拡散領域26が形成され、高濃度不純物拡散領域26にてオーミックコンタクトがとられている。

【0025】ここで、単結晶シリコン基板1に負の電圧を印加する理由について説明する。図2には、Nチャネル、Pチャネル各MOSFET7、10のしきい値電圧V_Tと基板バイアス電圧V_Bとの関係、即ち、しきい値

6

電圧V_Tの基板バイアス電圧V_Bによる依存性の一例を示す。ここで、NチャネルMOSFET7に関してはチャネル領域の不純物濃度を変化させて基板バイアス電圧V_Bが0ボルトの時のしきい値電圧V_Tを変えた4種類のMOSFETそれぞれの特性が示してある。又、基板バイアス電圧V_Bに対するしきい値電圧V_Tの変化の割合は、埋め込み絶縁体層2、SOI層3、4、ゲート酸化膜5、8の膜厚等に依存するが、図2においては一例としてそれぞれの膜厚が370nm、85nm、16nmの場合について示した。V_B=0ボルトの時のしきい値電圧V_Tはチャネル領域での不純物濃度により変化させることも可能であるので、特性との兼ね合いで適当な不純物濃度とバイアス電圧との組み合わせから所望のV_T値を選択すればよい。例えば、バイアス電圧V_Bが0ボルトの時にV_T=0.05ボルトのNチャネルMOSFETとV_T=-0.89ボルトのPチャネルMOSFETの両方に-6ボルトのバイアス電圧を印加すると、それぞれV_T=0.37ボルト、V_T=-0.43ボルトとなり、NチャネルMOSFETのしきい値電圧V_Tを上げ、PチャネルMOSFETのしきい値電圧V_Tの絶対値を下げるができる。その結果、通常では使用できないしきい値電圧が「0」ボルト以下のNチャネルMOSFETあるいは正の小さな値（0.3ボルト程度以下）のNチャネルMOSFETを用いることができる。

【0026】尚、C-MOS構成にしたPチャネルMOSFETについては、実際にチャネル領域に印加されるバイアス電位V_Bは電源電圧をV_{DD}とすると、V_B-V_{DD}となることを考慮しておく必要がある。

【0027】ここで、単結晶シリコン基板1に印加する負電圧がある値を越えるとSOI層内での埋め込み絶縁体層側にチャネルが形成されMOSFETがノーマリーオン状態になってしまうため、バイアス電圧には下限があることになる。この値はいわゆるバックゲートのV_T値であり、埋め込み絶縁体層、SOI層、ゲート酸化膜の膜厚やチャネル領域での不純物濃度等に依存するが、図2に示した場合には-10ボルト程度以下の値となる。又、バイアス電圧V_Bはその電圧を印加しない場合に比べ電圧印加による効果を発揮させるべく-2ボルト以上必要である。これらの結果、バイアス電圧V_Bとしては望ましくは-2~-10ボルト程度の値に設定される。このとき、外部に負電圧を印加するための別電源を設置することは全体の構成が複雑になり好ましくないが、ここで必要となる程度の負電圧はMOSFETを用いた昇圧回路により生成可能であることから、SOI型MOSFET7、10を形成した同一基板1上に同様のSOI型MOSFET16、19から構成されたバイアス電圧回路21を配置することにより、外部から印加する電圧としては単一電源にて動作させることが可能となる。

【0028】バイアス電圧回路21の具体的構成を、図3に示す。バイアス電圧回路21は、インバータを用いたCR発振回路27とチャージポンプ回路28からなる。CR発振回路27は、CR発振器29とバッファ用インバータ30、31とスイッチ32と周波数可変用抵抗33とスイッチ用インバータ34からなる。CR発振器29は通常のCR発振器であって、インバータ35、36、37とコンデンサ38と抵抗39、40から構成されている。スイッチ32は制御電圧端子Pconからの制御電圧によりオン・オフする。制御電圧端子Pconからの制御電圧は、論理HiあるいはLowレベルの2値信号である。又、チャージポンプ回路28はダイオード41、42、43、44とコンデンサ45、46、47、48で構成され、負電圧出力端子Poutから負の電圧を出力するようになっている。負電圧出力端子Poutは図1に示す配線25と接続され、負電圧出力端子Poutの負電圧は単結晶シリコン基板1へのバイアス電圧V_Bとなる。

【0029】次に、このように構成したバイアス電圧回路21の動作を説明する。電源投入する以前においては、単結晶シリコン基板1の電位がグランド電位になっている。この状態から電源が投入されると（ICのスイッチがオンされると）、外部システムから制御電圧端子PconにHiレベル信号が入力される。すると、CR発振回路27のスイッチ32は導通状態になり、CR発振回路27は抵抗40と33との並列抵抗と、コンデンサ38との時定数で決定される周波数で高速に発振する。これにより、チャージポンプ回路28が高速に動作するため、負電圧出力端子Poutからの負電圧出力は、グランドレベルから急速に負電圧に変化する。

【0030】そして、負電圧出力端子Poutからの負電圧出力が所定の電位になると、その時点で外部システムから制御電圧端子PconにLowレベル信号が入力される。その結果、スイッチ32は非導通状態になり、CR発振回路27は抵抗40とコンデンサ38との時定数で決定される低い周波数で発振する。これにより、チャージポンプ回路28の負電圧出力端子Poutからの負電圧出力は維持されたまま発振周波数だけが低くなる。このように、負電圧出力端子Poutからの負電圧出力が所定の電位になると、制御電圧端子PconにLowレベル信号が入力されるので、バイアス電圧回路21における発振による消費電流が増大することがない。つまり、チャージポンプ回路28の負電圧出力が維持されたまま発振周波数だけが低くなるので、発振による消費電力の低減が図れる。

【0031】このように本実施例では、単結晶シリコン基板1上に埋め込み絶縁体層2を介して形成された複数のSOI層3、4に、NチャネルMOSFET7およびPチャネルMOSFET10を形成してなる半導体装置において、NチャネルMOSFET7の少なくともチャ

ネル領域およびPチャネルMOSFET10の少なくともチャネル領域に対向した単結晶シリコン基板1に対し同基板1を電極として両MOSFET7、10共通のバイアス電圧を印加した。特に、NチャネルMOSFET7のゲート電極6およびPチャネルMOSFET10のゲート電極9はいずれもN型ポリシリコンからなり、単結晶シリコン基板1に印加される電圧は負の極性とした。

【0032】よって、NチャネルMOSFET7およびPチャネルMOSFET10のチャネル領域のポテンシャル分布が変化する。これにより、しきい値電圧V_Tを所望の値に制御性よくシフトさせることができる。つまり、図2に示すように、単結晶シリコン基板1に負の電圧を印加することにより、NチャネルMOSFET7に対してはしきい値電圧V_Tを上げ、PチャネルMOSFET10に対してはしきい値電圧V_Tの絶対値を下げる事が可能となる。

【0033】又、NチャネルMOSFET7とPチャネルMOSFET10に同じバイアス電圧V_Bを印加すればよいので、特開平2-294076号公報のように各MOSFETのチャネル部に独立した電極を設ける必要がなくなる。

【0034】又、N⁺ポリシリコンゲート電極を用いた完全空乏型のSOI-MOSFETにおいて、NチャネルMOSFET7においてはエンハンスメント型すなわちV_Tの値を正にするためにはチャネル領域の不純物濃度を高くする必要があるが、このことはチャネル移動度（キャリア移動度）の低下をもたらす。さらに、不純物濃度が高くなるに伴ってV_TのSOI層膜厚依存性が大きくなる。即ち、SOI層の膜厚ばらつきによるV_T値のばらつきが顕在化することになり、このことは種々の性能のばらつきにつながる。又、PチャネルMOSFET10においてV_Tの絶対値を小さくするためにはチャネル領域にP型の不純物を添加していわゆるアキュムレーションモードにする必要があるが、その結果ショートチャネル効果の増大等の悪影響を招く。これに対し、本実施例では、単結晶シリコン基板1に負のバイアス電圧V_Bを印加することで、チャネル領域の不純物濃度を低く保ちつつ、NチャネルMOSFET7に対してはしきい値電圧V_Tを高くし、PチャネルMOSFET10に対してはしきい値電圧V_Tの絶対値を低くできる。即ち、Nチャネル、Pチャネル各MOSFETに共通な電圧を印加することにより、簡単な構造でV_T値の制御が可能となる。

【0035】さらに、単結晶シリコン基板1上に埋め込み絶縁体層2を介してSOI層12、13からなるバイアス電圧回路21を形成し、バイアス電圧回路21によりバイアス電圧V_Bを生成するようにした。その結果、単一電源にてNチャネルMOSFET7およびPチャネルMOSFET10に電圧を印加するとともに両MOS

FET 7, 10のしきい値電圧 V_T を制御することができる。

【0036】又、バイアス電圧回路21はCR発振回路27とCR発振回路27の出力信号により駆動されるチャージポンプ回路28にて構成したので、簡単な構成にて昇圧回路が構成できる。

【0037】尚、この実施例の応用として、単結晶シリコン基板1の全体にバイアス電圧を印加する必要はなく、NチャネルMOSFET 7の少なくともチャネル領域およびPチャネルMOSFET 10の少なくともチャネル領域に対向した領域における単結晶シリコン基板1にバイアス電圧を印加すればよい。

【0038】又、本実施例では単結晶シリコン基板1に組み込んだバイアス電圧回路21にてバイアス電圧を生成したが、外部からの電源によりバイアス電圧を供給するようにしてもよい。

【0039】さらに、バイアス電圧回路21はMOSFETによらずにバイポーラトランジスタ等により構成してもよい。又、図1においてバイアス電極となる単結晶シリコン基板1の上の単結晶半導体層としての薄膜の単結晶シリコン層(SOI層)にバイアス電圧 V_B の変化をモニタするためのモニタ用MOSFET(モニタ用半導体素子)を形成する。そして、このモニタ用MOSFETを有する制御電圧発生回路54をバイアス電圧回路21と同様に同一単結晶シリコン基板1上に設け、図3に示すように制御電圧発生回路54の出力信号を制御電圧端子Pconに接続し、モニタ用MOSFET 55のしきい値電圧に対応した信号により制御電圧をHi, Lowレベルに切り替えてバイアス電圧回路21の発振周波数を制御してもよい。その結果、外部システムからの制御電圧信号は不要となる。

【0040】さらには、図7に示すように、モニタ用MOSFET 55のしきい値電圧に対応してHi, Lowレベルに切り替えた制御電圧をANDゲート56に印加することにより、バイアス電圧回路の出力電圧を制御してもよい。その結果、バイアス電圧回路の出力電圧によって変化したモニタ用MOSFET 55のしきい値電圧によりバイアス電圧回路の出力電圧をフィードバック制御できる。即ち、同一基板上に形成した制御電圧発生回路54によりバイアス電圧を確実に所定値に設定しC-MOS回路11を構成するMOSFETのしきい値電圧を所望の値に制御することができることになる。尚、バイアス電圧回路21は、モニタ用MOSFET 55のしきい値電圧に応じてその出力電圧を制御可能な回路構成であれば、本実施例に示した回路構成以外の構成であってもよいことはいうまでもない。さらに、モニタ用半導体素子はMOSFETの他にもバイポーラトランジスタ等でもよい。

【0041】本実施例においては、バイアス電圧回路21は制御電圧信号により制御される構成としたが、特に

必要がなければ本回路構成において発振周波数あるいは出力電圧を制御する機能を除いて、単に一定のバイアス電圧を発生させる回路構成としてもよいことはいうまでもない。

(第2実施例) 次に、第2実施例を第1実施例との相違点を中心に説明する。

【0042】図4に第2実施例を示す。本実施例では、C-MOS回路11に対応する位置に電極49を設けるとともに、バイアス電圧回路21に対応する位置に電極50を設けている。

【0043】具体的に説明していくと、絶縁体層2内におけるC-MOS回路11の下方には第1のバイアス電極49が埋設されているとともに、バイアス電圧回路21の下方には第2のバイアス電極50が前記第1のバイアス電極49とは電氣的に絶縁された状態で埋設されている。つまり、絶縁体層2内でのバイアス電圧回路21と対向した領域に配置された第2のバイアス電極50が、同一基板上のSOI型MOSFETからなるその他の半導体集積回路に対向した領域に配置された第1のバイアス電極49と電氣的に絶縁されている。本構造は、例えば公知のウエハ貼り合わせ法を用いたSOI基板の製造技術により、貼り合わせ前に例えばポリシリコンからなるバイアス電極49, 50を形成しておくことにより実現することができる。

【0044】又、第1のバイアス電極49にバイアス電圧回路21によって発生された電圧が印加され、第2のバイアス電極50にはこれと異なる電圧、例えば接地電位(GND)に設定される。この結果、バイアス電圧回路21に用いられるMOSFET 16, 19の V_T 値はバイアス電圧回路21の出力であるバイアス電圧 V_B の値にかかわらず一定の値に設定することができる。よって、バイアス電圧回路21のMOSFET 16, 19のしきい値電圧 V_T を固定できる。

【0045】又、第1のバイアス電極49と対向する位置での単結晶半導体層としての薄膜の単結晶シリコン層(SOI層)にバイアス電圧 V_B の変化をモニタするためのモニタ用MOSFET(モニタ用半導体素子)が形成されている。そして、このモニタ用MOSFETを有する制御電圧発生回路54を図3にて一点鎖線で示すように制御電圧ラインに設け、モニタ用MOSFET 55のしきい値電圧に対応した信号により制御電圧をHi, Lowレベルに切り換えてバイアス電圧回路21の出力電圧を制御している。尚、モニタ用半導体素子はMOSFETの他にもバイポーラトランジスタ等でもよい。

【0046】このように本実施例では、NチャネルMOSFET 7の少なくともチャネル領域およびPチャネルMOSFET 10の少なくともチャネル領域に対向した領域における埋め込み絶縁体層2内に両MOSFET共通のバイアス電極49を配置し、当該電極49に両MOSFET共通のバイアス電圧を印加した。よって、第1

実施例と同様に、NチャネルMOSFET7に対してはしきい値電圧 V_T を上げ、PチャネルMOSFET10に対してはしきい値電圧 V_T の絶対値を下げる事が可能となる。

【0047】又、バイアス電圧回路21のMOSFET16, 19の少なくともチャネル領域に対向した絶縁体層2内に、第1のバイアス電極49と電氣的に分離した第2のバイアス電極50を配置し、第2のバイアス電極50を所定電位にした。よって、バイアス電圧回路21のMOSFET16, 19が安定して動作して、バイアス電圧回路21をバイアス電圧 V_B の影響を受けずに動作させることができる。

【0048】又、第1のバイアス電極49と対向する位置でのSOI層にモニタ用MOSFETを形成し、このモニタ用MOSFETによりバイアス電圧回路21の出力電圧を制御するようにした。その結果、バイアス電圧を確実に所定値にできる。

【0049】尚、本実施例の応用として、以下のような態様にて具体化してもよい。

(イ) 図5に示すように、実施してもよい。つまり、図4に示すようにC-MOS回路11とバイアス電圧回路21のそれぞれに対向する領域にシリコン基板1とは異なるバイアス電極49, 50を配置するのではなく、図5に示すようにどちらか一方のバイアス電極として単結晶シリコン基板1をそのまま用いる。図5ではバイアス電圧回路21のためのバイアス電極として単結晶シリコン基板1を用いている。この場合、配線51が単結晶シリコン基板1と接触する領域にはオーミックコンタクト形成のため、シリコン基板1と同一導電型の高濃度不純物拡散領域52が形成されている。

(ロ) 図6に示すように、単結晶シリコン基板1内に異なる導電型の領域を設けてPN接合により2つの電極を分離してもよい。図6に示した場合には、バイアス電圧回路21によって発生された負電圧がC-MOS回路11に対向した位置に形成されたP型不純物拡散領域53に印加される。又、単結晶シリコン基板1としてN型基板を用いることによりバイアス電圧回路21に対向した位置はN型領域となる。このように、PN接合によりC-MOS回路11とバイアス電圧回路21に対向した各領域を電氣的に分離することができる。尚、本実施例においてはN型基板を用いた例について示したが、同様にP型基板を用いることも可能である。この場合には、バイアス電圧回路21に対向した位置にN型不純物拡散領域を設けておく。基板すなわちP型領域であるC-MOS回路11に対向した位置に負電位を印加し、バイアス電圧回路21に対向したN型領域には接地電位である0ボルトを印加する。C-MOS回路11領域よりもバイアス電圧回路21領域の方が面積が小さい場合には、P型基板を用いた場合の方がPN接合面積が小さくなるのでPN接合の逆方向リーク電流を低減できる。尚、バイ

アス電圧が正の場合には、図6に示した領域53、及び単結晶シリコン基板1の導電型をそれぞれ図6と逆の導電型にすればよい。

(ハ) 図4においてC-MOS回路11の下方全体の埋め込み絶縁体層2内にバイアス電極49を設ける必要はなく、NチャネルMOSFET7の少なくともチャネル領域およびPチャネルMOSFET10の少なくともチャネル領域に対向した領域における埋め込み絶縁体層2内にバイアス電極49を配置し、当該電極49にバイアス電圧を印加してもよい。

(ニ) 本実施例では単結晶シリコン基板1に組み込んだバイアス電圧回路21にてバイアス電圧を生成したが、外部からの電源によりバイアス電圧を供給するようにしてもよい。

(ホ) バイアス電圧回路21はMOSFETによらずにバイポーラトランジスタ等により構成してもよい。

(ヘ) 図4, 5, 6においてはバイアス電圧回路21の下方全体にバイアス電極(50, 1)を配置したが、バイアス電圧回路21のMOSFET16, 19の少なくともチャネル領域に対向した位置にバイアス電極(50, 1)を配置すればよい。

【0050】

【発明の効果】以上詳述したように請求項1, 2に記載の発明によれば、簡単な構造にてNチャネルMOSFETのしきい値を上げるとともにPチャネルMOSFETのしきい値の絶対値を下げる事ができる優れた効果を発揮する。

【0051】請求項3に記載の発明によれば、請求項1, 2に記載の発明の効果に加え、単一電源にて両MOSFETに電圧を印加することができるとともにしきい値電圧を制御することが可能となる。

【0052】請求項4に記載の発明によれば、請求項3に記載の発明の効果に加え、簡単な回路構成とすることができる。請求項5に記載の発明によれば、請求項1, 2に記載の発明の効果に加え、バイアス電圧を確実に所定値にすることができる。

【0053】請求項6に記載の発明によれば、請求項3に記載の発明の効果に加え、バイアス電圧のMOSFETを安定して動作させることができる。請求項7に記載の発明によれば、請求項6に記載の発明の効果に加え、バイアス電圧を確実に所定値にすることができる。

【図面の簡単な説明】

【図1】第1実施例の断面構造図である。

【図2】バイアス電圧としきい値電圧との関係を示す特性図である。

【図3】バイアス電圧回路のブロック図である。

【図4】第2実施例の断面構造図である。

【図5】第2実施例の応用例の断面構造図である。

【図6】第2実施例の他の応用例の断面構造図である。

【図7】バイアス電圧回路のブロック図である。

13

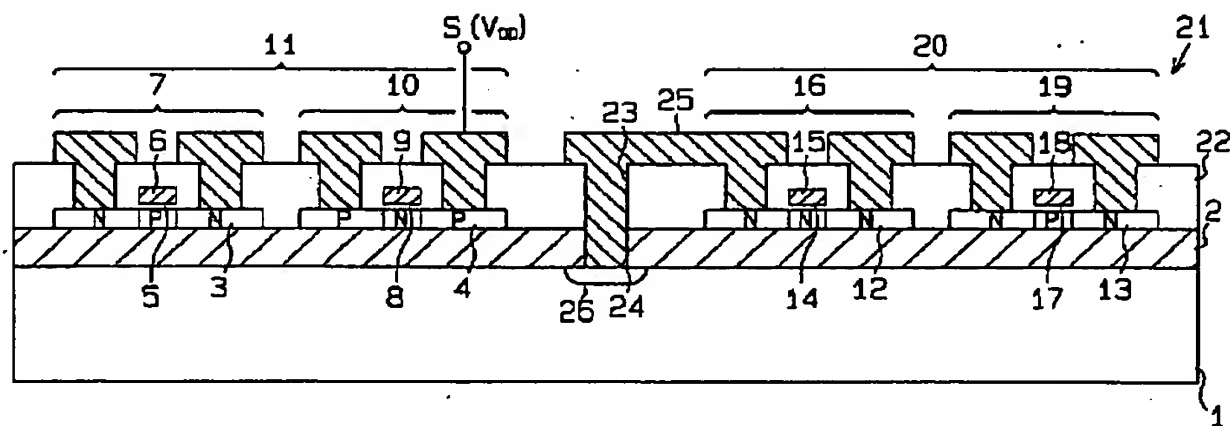
【符号の説明】

1…単結晶シリコン基板、2…埋め込み絶縁体層、3…SOI層、4…SOI層、6…N⁺ポリシリコンゲート電極、7…NチャネルMOSFET、9…N⁺ポリシリコンゲート電極、10…PチャネルMOSFET、12

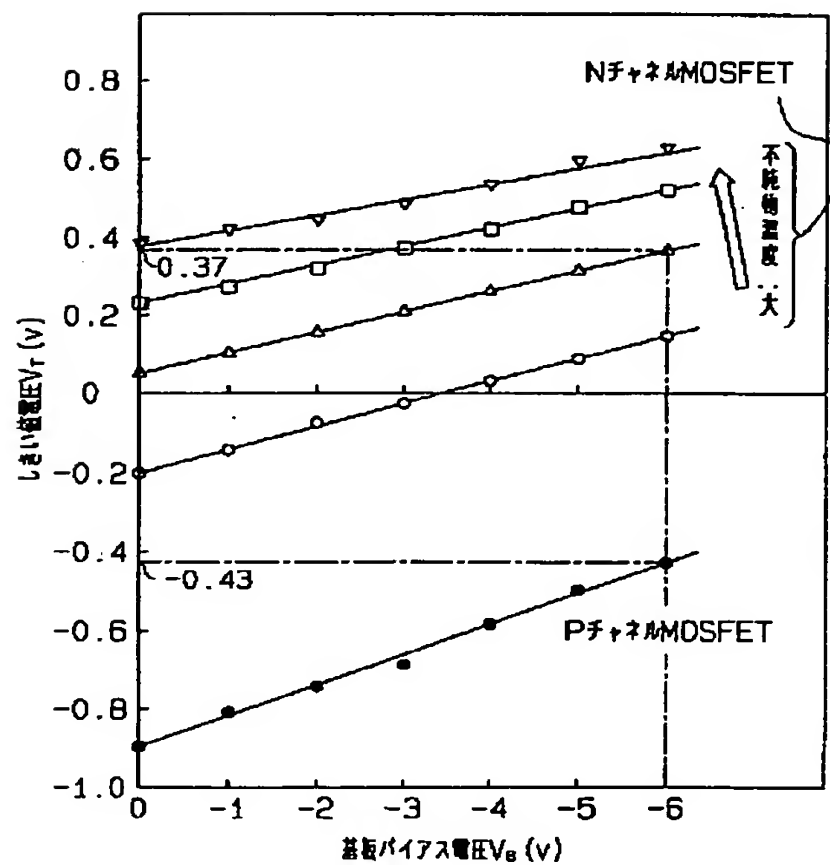
14

…SOI層、13…SOI層、16…NチャネルMOSFET、19…PチャネルMOSFET、21…バイアス電圧回路、27…CR発振回路、28…チャージポンプ回路、49…第1のバイアス電極、50…第2のバイアス電極、55…モニタ用MOSFET

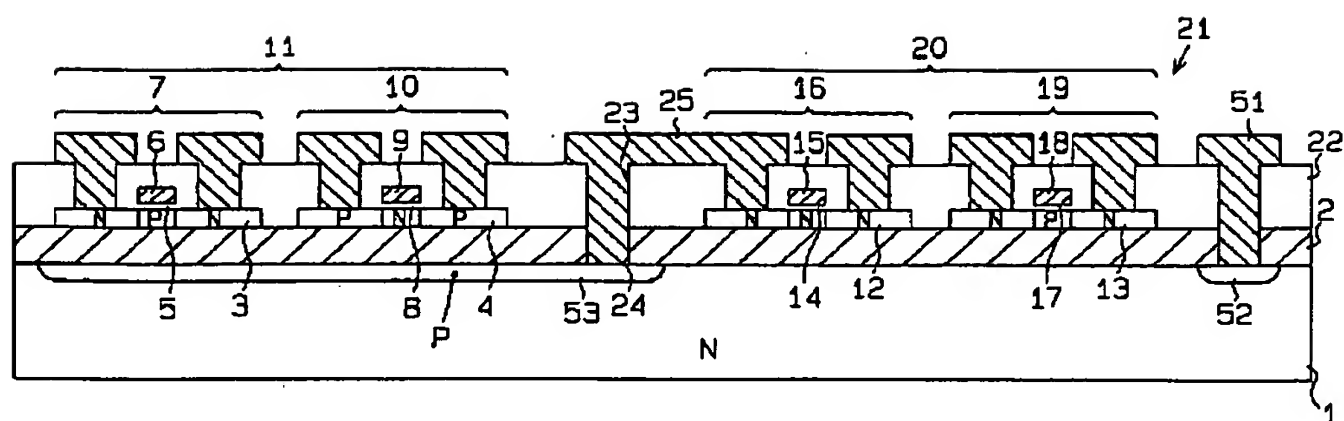
【図1】



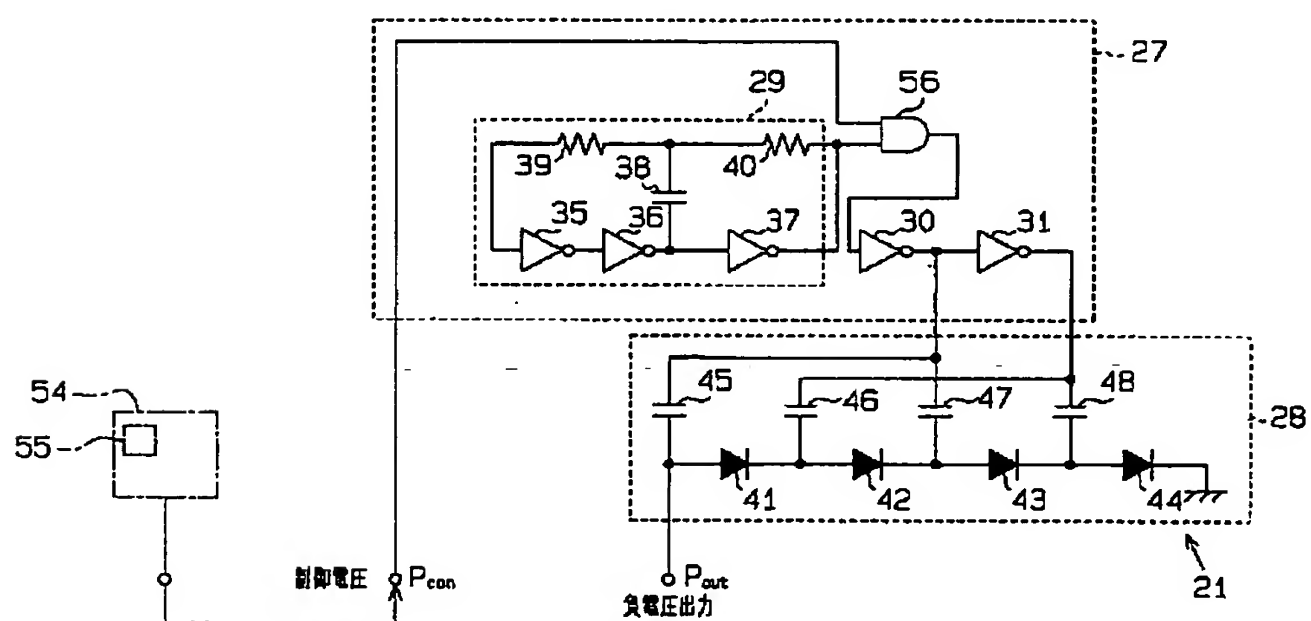
【図2】



【図 6】



【図 7】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/8238

27/092

29/786

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/78

3 1 1 C